

Komfortabler Personalcomputer für den erfahrenen Amateur (5)

Dipl.-Ing. A. MUGLER – Y27NN, Dipl.-Ing. H. MATHES

Für die Inbetriebnahme ist das Vorhandensein folgender Meßmittel von Vorteil:

1. Oszillograf,
2. Universalmesser,
3. TTL-Prüfstift für positive und negative Impulse mit Impulsfalle.

Mit einem Emulator und einem zweiten Rechner ist, sofern vorhanden, die gesamte Hardware durch Erstellung von Prüfprogrammen (z. B. PIO-Initialisierung, Ein/Ausgabe) systematisch und komfortabel überprüfbar. Über den Emulatorstecker werden die auf dem Masterrechner erstellten Programme in den EPROM-Bereich des PC/M-Computers gelegt und sind von diesem abzuarbeiten. Im ordnungsgemäßen Aufbau kann der Autor, dem diese Möglichkeit nicht zur Verfügung steht, nach vollendeter Inbetriebnahme die mit dem Betriebssystem programmierten EPROMs stecken und die zentrale Platine dann mittels Debugger und Grundbetriebssystem (CP/V) testen.

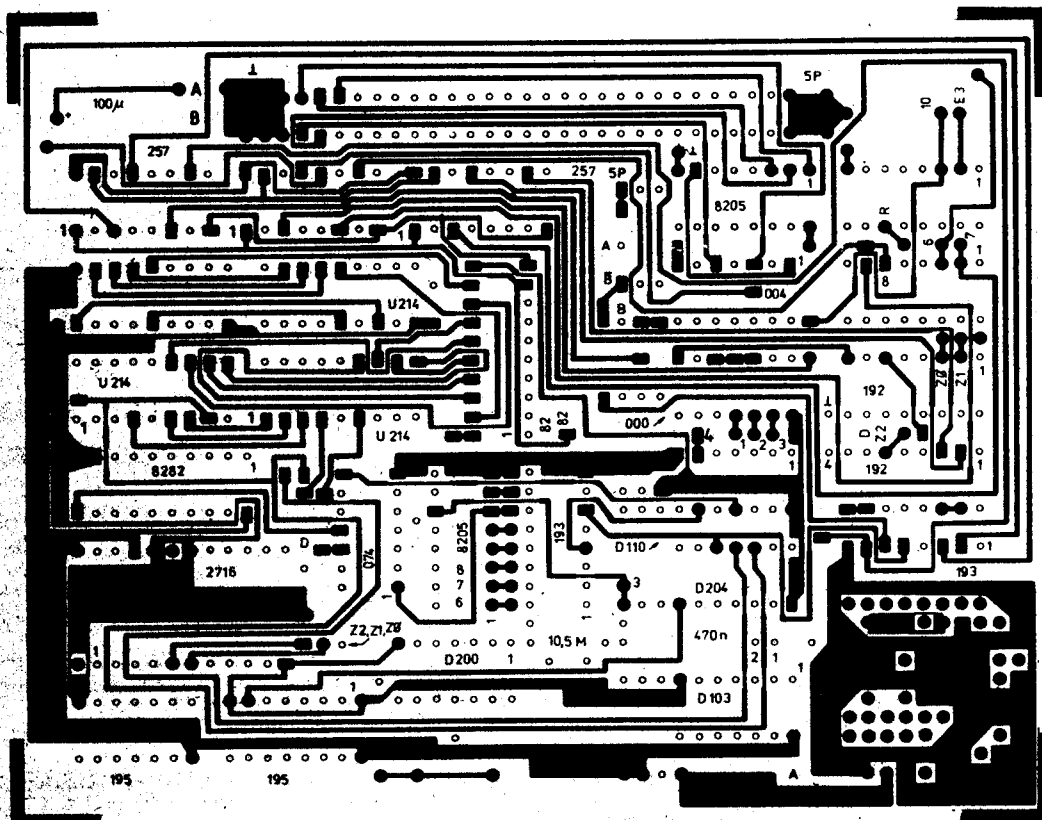
Bild 8a: Layout der Bestückungsseite der Platine für die Bildschirmansteuerung

Zu bohren sind die Leiterplatten vorrangig mit einem 0,8-mm-Bohrer. Die entsprechend notwendigen Durchkontaktierungen, die bei voll bestückter Leiterplatte durch die IS-Pins realisiert werden, sollte man in der Erprobungsphase durch eingelötete Drahtstücke ersetzen. Vor dem Bestücken der Platten untersucht man diese auf Haarrisse und Leitungsschlüsse. Das hat besonders gründlich auf der Bestückungsseite zu erfolgen, da eingelötete Bauelemente die Mehrzahl der Leiterzüge verdecken. Gelötet wurde mit einer Lötinsel 12 V/8 W. Es ist auf eine schlanke, gut verzinnete und zunderfreie Lötspitze zu achten. Bei der Inbetriebnahme der einzelnen Funktionsgruppen sollten als erstes immer die Spannungen an den IS-Pins und die Stromaufnahme der Baugruppen gemessen werden. Dann sind die einzelnen Signale und Pegel im Signalzweig zu kontrollieren. Um die einwandfreie Funktion aller Baugruppen zu gewährleisten, müssen alle vorgesehenen Stützkondensatoren (Bestückungsplan) bestückt werden.

Zentrale Platine

Begonnen wird mit der Realisierung der Durchkontaktierungen auf der zentralen Platine. Wenn nur ein 64-KByte-dRAM-Block bestückt werden soll, ist zu beachten, daß auch die sonst durch die Pins der IS des zweiten und dritten Blocks zu realisierenden Durchkontaktierungen auszuführen sind. Das gleiche gilt für die EPROM-Fassungen, bei denen wegen ihrer Bauform bestückungsseitig nicht gelötet werden kann. Anschließend werden die Steckverbinder und die IS-Fassungen für die EPROMs eingelötet. Nun kann man den Bus unter Berücksichtigung der von Bauelementen zu realisierenden Durchkontaktierungen auf galvanischen Durchgang sowie auf Kurzschlüsse zwischen den einzelnen Leitungen prüfen und die auf dem Bestückungsplan ausgewiesenen Brücken einsetzen.

Die zentrale Platine kann nun systematisch bestückt und getestet werden (Bild 4). Zunächst bestückt man den Quarzoszillator (D1.1) einschließlich des 4:1-Teilers (D2), die Reset-Logik (D3.2) und den NMI-Generator (D4.1, D60.2, D3.1). Am Ausgang des Oszillators ist die Frequenz von 10,0 MHz zu kontrollieren und mit C1 eventuell abzugleichen. Am Lötage für Pin 6 der CPU muß der 2,5-MHz-Takt mit den geforderten Pegel- und Flankenverhältnissen (pull up) anliegen. Beim Einschalten der Betriebsspannung +5 V muß am Lötage für Pin 26 der CPU ein Reset-Impuls (power on) mit einer Breite des Impulses unter 2 ms lie-



gen, letzteres, um den Refresh für die dynamischen Speicher zu garantieren. Die Kontrolle des NMI-Generators erfolgt zu einem späteren Zeitpunkt im Zusammenhang mit der Software (Betriebssystem). Nun können die Bustreiber D6 bis D8 eingelötet werden. Ihre Funktion kontrolliert man durch statisches Anlegen von Low- bzw. High-Pegel an die Bustreiber-eingänge und durch Nachmessen der Pegel an den Ausgängen. Wird Pin 11 des Gatters D1.2 auf Low gelegt, müssen sich die Ausgänge der Bustreiber D6 bis D8 im hochohmigen Zustand befinden.

Nach dieser Prüfung ist die CPU einzulöten. Der Datenbus liegt auf High-Pegel. Damit liest die CPU nach dem Reset-Impuls RST 38-Befehle, und der gesamte Speicherbereich wird mit 0039H beschrieben. Dieser Umstand hat ein zyklisches Durchlaufen des gesamten Adreßbereiches zur Folge und ermöglicht die Kontrolle verschiedener Impulsfolgen. Es werden die Adreßleitungen A0 bis A15 an den Ausgängen der Bustreiber D6 bis D8 kontrolliert. Die an A0 anliegende Pulsfolge muß die höchste Frequenz aufweisen, mit ansteigender Adreßreihenfolge liegt an jeder Adreßleitung je die halbe Frequenz der vorhergehenden Adresse. Auch an den Steuersignalausgängen /RD, /MREQ und /M1 müssen Impulsfolgen vorhanden sein.

Dieser Kontrolle schließt sich der Aufbau

von Bootstraplader, Speicherblockselektport, Überblendlogik und Adreßdekodierung für die EPROMs an. Dazu werden die Bauelemente D9, D10, D11, D12 und D53 eingelötet. An den Ausgängen der Dekoder D10 (Ausgänge 0 bis 7) und D11 (Ausgänge 0 bis 3) müssen jeweils versetzt zueinander Pulsfolgen erkennbar sein. Die Signale an den Ausgängen 0 bis 3 von D11 entsprechen den /OE-Signalen der EPROMs und können an Pin 20 der jeweiligen EPROM-Fassungen überprüft werden. Dabei nimmt mit Aktivieren des entsprechenden /OE-Signals auch das /CE-Signal für die EPROMs (Pin 18) Low ein. Dazu muß das Speicherblockselektport (DS 8212 D) durch den Reset-Impuls beim Einschalten zurückgesetzt sein (alle Ausgänge = Low-Pegel). Die Signale /OE und /CE dürfen nur bei /RD = Low aktiv sein.

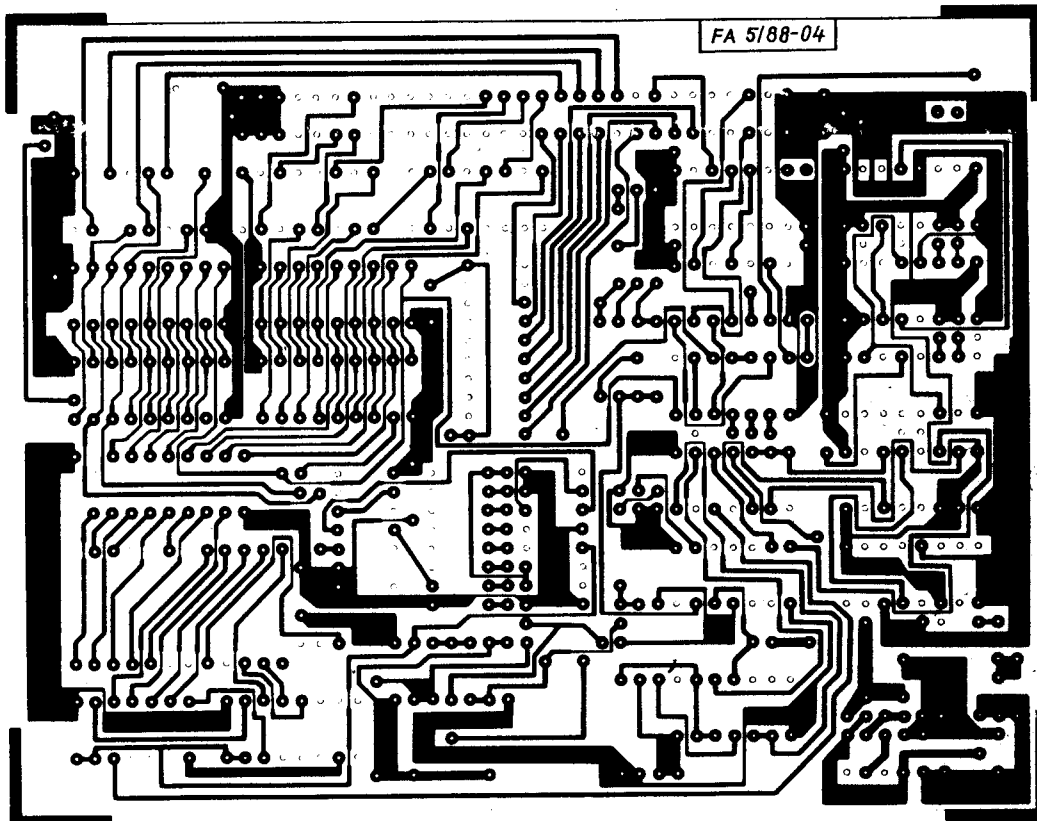
Nun kann man die restlichen Bauelemente der Systemseite (außer den dRAMs) bestücken. Anhand der Impulsdigramme (Bild 28, 29) wird das Zeitverhalten der Signale /RAS, /CAS0, /CAS1, /CAS2, /WR (Pin 3 von D52.4) und SEL (Multiplexer Pin 1) kontrolliert. Nach dieser Kontrolle erfolgt die Bestückung der IS des ersten dRAM-Blockes. Sollten sich beim späteren Test des kompletten PC/M-Computers Speicherzellen nicht beschreiben lassen oder verlieren diese ihre Information, müssen noch einmal die Impulsbilder geprüft und eventuell C2 verändert werden.

Beim Aufbau weiterer Exemplare des PC/M-Computers zeigte sich, daß die Bestück-

kung mit dRAMs unterschiedlicher Hersteller zu Schwierigkeiten mit der RAS-CAS-Signalbildung und damit zu Schreib- und Lesefehlern führen kann. Innerhalb einer Speicherbank sollten keinesfalls unterschiedliche Typen eingesetzt werden. Bei einigen U 2164 D war es erforderlich, die RAS-Leitung an den Speichern mit einem „pull-up“-Widerstand von 560 Ω zu versehen bzw. D52 (DL 000 D) durch einen D 100 D oder D 200 D zu ersetzen. Unterschiede bei der Bestückung der drei Speicherbänke lassen sich durch separate Verzögerungskapazitäten (100 pF bis etwa 1 nF) direkt an den CAS-Leitungen ausgleichen. Bei Verwendung von sowjetischen K 565 RY 5 bewährte sich die im Stromlaufplan angegebene Dimensionierung. Mit dem eventuellen Bestücken und Testen des zweiten und dritten dRAM-Blockes ist der systemseitige Aufbau der zentralen Platine abgeschlossen.

Nun werden der I/O-Adreßdekoder (D54), die Bauelemente der Tonausgabe (D60.1, VT1) sowie die Bauelemente der IFSS-Schnittstellen (D61, A2 bis A5, VT2 bis VT5, passive BE) eingelötet. Am Adreßdekoder D54 (DS 8205 D) sind die 8 zeitlich zueinander versetzten /CE-Signale (Pin 7, 9 bis 12) zu kontrollieren. Diese Signale liegen unabhängig von /IORQ an, da die peripheren Bausteine (PIO, CTC, SIO) das Signal /IORQ direkt zu ihrer Aktivierung verwenden. Setzt man andere als oben genannte Systembausteine ein, müssen deren Aktivierungssignale mit /IORQ verknüpft wer-

Bild 8b: Layout der Leiterseite der Platine für die Bildschirmsteuerung



den. Die Tonausgabe läßt sich durch Anlegen einer Impulsfolge an Pin 11 von D60.1 (DL 074 D) überprüfen. Bei hochohmigen Schallwandlern (z. B. Kopfhörer mit $Z > 200 \Omega$) kann der $100\text{-}\Omega$ -Widerstand im Kollektorzweig des VT1 entfallen oder einen niedrigeren Wert erhalten.

Für die Inbetriebnahme der IFSS-Schnittstellen werden über den Anwendersteckverbinder (Koppelbus) die Spannungen $+12\text{ V}$ und -12 V zugeführt. Legt man High-Pegel an die Pins 12/13 bzw. 9/10 von D61 (TxDA bzw. TxDB), müssen die zugehörigen LED leuchten, zwischen X2:B21 und X2:A21 bzw. X2:B22 und X2:A22 müssen 24 V liegen. Verbindet man X2:A24 und X2:B24 bzw. X2:A25 und X2:B25, muß an Pin 6 bzw. 3 von D61 (RxDA bzw. RxDB) High-Pegel nachweisbar sein.

Nach dieser Kontrolle werden die CTCs D55, D58, die PIOs D56, D59 und die SIO D57 eingelötet. Mittels Prüfprogrammen (z. B. Emulator) kann man diese, wenn die Möglichkeit besteht, auf ordnungsgemäße Funktion kontrollieren. Anschließend erfolgt die Bestückung KMBG-Interface (A1). Dieses wird nach vollständigem Aufbau des PC/M-Computers mit dem Betriebssystem (Monitor) in Betrieb genommen.

Damit ist die zentrale Platine vollständig bestückt und kann im Zusammenspiel

mit Betriebssystem (programmierte EPROMs D14 bis D16), Tastatur, BSA und einem KMBG als lauffähiges System auf den vollen Funktionsumfang getestet werden.

Bildschirmsteuerung

Die BSA wird direkt über den Systembus (X3 - X103) oder über eine Rückverdrahtung (Erweiterungsmöglichkeit anderer Baugruppen) an die zentrale Platine angekoppelt. Vor Beginn der Inbetriebnahme sind die Brücken 1 bis 4, 6 bis 10, E3, R, D, Z0, Z1, Z2, $+5\text{ V}$ und GND, sowie bei BAS-Signalauskopplung die Brücke A zu realisieren.

Zuerst ist der Quarzgenerator (D101) zu bestücken. Mittels C101 wird am Pin 6 von D101 die Frequenz auf $10\,500\text{ kHz}$ abgeglichen. Anschließend bestückt man alle Zähler-IS (D102, D123 bis D127) sowie D103 und D121. D102 arbeitet als 7:1-Teiler. An dessen Ausgang QC (Pin 7) muß eine Pulsfolge mit der Frequenz von $1\,500\text{ kHz}$ liegen. An den Zählerausgängen müssen Impulsfolgen sinkender Frequenz (von D123-QA bis D127-QB) nachweisbar sein. Am Ausgang der Impulsverkürzungsschaltung (D103 - Pin 8) wird nun die Pulsfolge für die Übernahme jedes Bytes in den Parallel/Serien-Wandler kontrolliert, deren H-Impulse schmaler sind als die der Pulsfolge an D102-QC. Nach dem Einlöten der IS D117, D118, D121 und D122 sowie der passiven Bauelemente sind an den Eingängen des BAS-Mischers das

Bildsynchron- (D122 - Pin 4), das Zeilensynchron- (D122 - Pin 5) und das Austastsignal (D121 - Pin 11) sowie am Ausgang das BAS-Signal (VT101) zu kontrollieren.

Entsprechen die Impulsdigramme den Bildern 25 und 26, werden alle Bauelemente bis auf den BWS (U 214 D), den Zeichengenerator (U 2716 D) und den Modulator bestückt. Sind die Adressen A11 bis A15 und das Signal /RFSH gleich High (in den /RFSH-Zyklen darf die CPU nicht auf die BSA zugreifen), besitzt Ausgang 7 des Dekoders D114 (Pin 7) Low-Potential. Beim Aktivieren von /MREQ liegt am /OE-Eingang des Datentreibers D111 (Pin 9) sowie am Multiplexer (Pin 1) Low-Potential. Pin 8 von D116 geht auf Low-Potential, wenn /WR aktiv ist.

Nach dieser Kontrolle wird der Zeichengenerator D113 in die Fassung gesteckt und die Multiplexausgänge A0 bis A7 mit den Eingängen des Zeichenlatches

Bild 8c: Bestückungsplan für die Platine der Bildschirmsteuerung

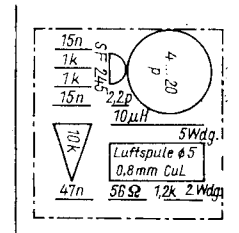
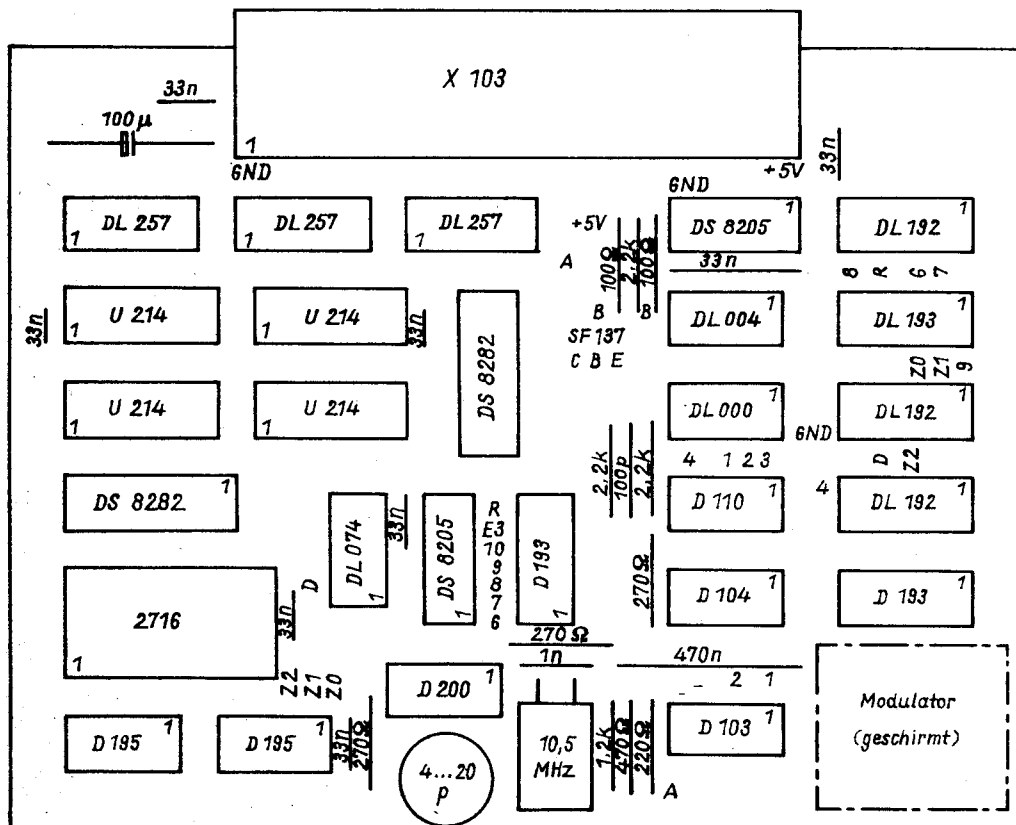


Bild 9: Bestückungsplan für den Aufbau des Video-Modulators (s. Bild 8a/b, rechts unten)

